

03998974 **Image available**
INSULATED GATE FIELD EFFECT TRANSISTOR

ABSTRACT

CONSTITUTION: Ion implantation of BF(sub 2) is conducted with a resist film used as a mask to form a drain region 106 and a source region 107. In this case, an offset region 108 to which BF(sub 2) is not implanted is provided between a polycrystalline silicon gate electrode 105 and the drain region 106. An interlayer film 109 is deposited to form a contact hole 110 and thereafter a wiring metal is then deposited and it is patterned to form a drain electrode 111d and a source electrode 111s. In this case, the wiring metal in contact with the drain region 106 is provided to cover the offset region 108. Thereby, an on current for the gate voltage of -5V increases by about 50% under the drain voltage of -5V and an off current for the gate voltage of 0V is reduced to 1/10.

?

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

009346258 **Image available**

WPI Acc No: 93-039731/199305

XRAM Acc No: C93-017919

XRPX Acc No: N93-030452

**MOSFET IC device - has upper drain electrode in contact with offset
domain between gate electrode and drain region via hole conductor formed
in insulator NoAbstract**

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 4364074	A	19921216	JP 91138111	A	19910611	H01L-029/784	199305 B

Priority Applications (No Type Date): JP 91138111 A 19910611

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
--------	------	-----	----	--------	-------	-------------	--------

JP 4364074	A		5				
------------	---	--	---	--	--	--	--

Title Terms: MOSFET; IC; DEVICE; UPPER; DRAIN; ELECTRODE; CONTACT; OFFSET;
DOMAIN; GATE; ELECTRODE; DRAIN; REGION; HOLE; CONDUCTOR; FORMING;
INSULATE; NOABSTRACT

Index Terms/Additional Words: INTEGRATED; CIRCUIT

Derwent Class: L03; U12

International Patent Class (Main): H01L-029/784

File Segment: CPI; EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-364074

(43) 公開日 平成4年(1992)12月16日

(51) Int.Cl.³

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 X

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号

特願平3-138111

(22) 出願日

平成3年(1991)6月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 北島 洋

東京都港区芝五丁目7番1号日本電気株式会社内

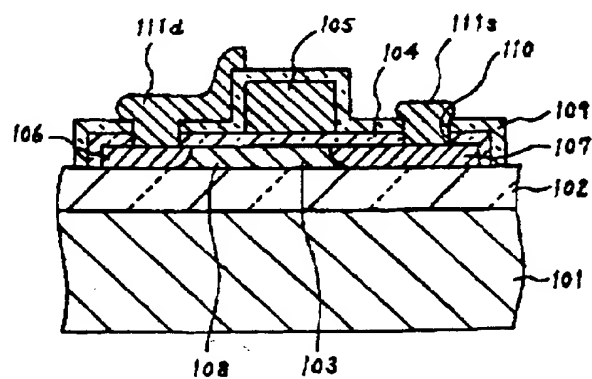
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 絶縁ゲート電界効果トランジスタ

(57) 【要約】

【構成】 ゲート電極105とドレイン領域106の間に不純物があまり入っていないオフセット領域108を設けた構造において、ドレインと接続されている(あるいはほぼ同電位) 同電膜(ドレイン電極111d)が絶縁膜を104、109を介してオフセット領域と接するようになる。

【効果】 オフセット領域にドレインの電界が加わることで、オフ時にはドレイン端での電界が緩和され、オフ電流が1/10近くまで減少する。



101: シリコン基板

102: 二酸化シリコン膜

103: 多結晶シリコン薄膜

104: ゲート酸化膜

105: 多結晶シリコンゲート電極

106: ドレイン領域

107: ソース領域

108: オフセット領域

109: 層間膜

110: コンタクトホール

111d: ドレイン電極

111s: ソース電極

【特許請求の範囲】

【請求項1】 ゲート端部のチャンネル領域が絶縁膜を介して導電膜に接している、前記導電膜がドレイン領域と電氣的に接続しているかあるいはドレイン領域とほぼ同電位になっていることを特徴とする絶縁ゲート電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は絶縁ゲート電界効果トランジスタに関し、特に薄膜MOSトランジスタに関する。

【0002】

【従来の技術】 従来の多結晶シリコンを使用した上部ゲート型の薄膜MOSトランジスタの構造を図6に示す。シリコン基板601上に二酸化シリコン膜602を形成し、更に多結晶シリコン薄膜603を堆積する。多結晶シリコン薄膜603の結晶性、特に平均粒径は形成されるトランジスタの特性に強い影響を与えることから、非晶質シリコンをまず堆積し、600℃程度の温度で長時間熱処理を行い粒径増大を図ることが多い。その後、ホトリソグラフィ技術とイオンエッチング技術を用い、多結晶シリコン薄膜603をパターニングした後、表面にゲート酸化膜604を形成する。ゲート酸化膜の形成は、多結晶シリコン薄膜603の表面を熱酸化する場合と化学堆積法でシリコン酸化膜を堆積する場合がある。その後、多結晶シリコンを全面に堆積し、拡散法あるいはイオン注入法でリンなどを高濃度に多結晶シリコン中にドーブした後、ホトリソグラフィ技術とイオンエッチング技術を用いパターニングし、多結晶シリコンゲート電極605を形成する。ヒ素やリン（N型トランジスタの場合）あるいはボロンやBF₃（P型トランジスタの場合）のイオン注入によりドレイン領域606とソース領域607を形成すると多結晶シリコン薄膜MOSトランジスタの基本構造が形成される。図6の構造は導電部である多結晶シリコン薄膜の上にゲート電極が有ることから、上部ゲート型と呼ばれる。ドレイン端での電界集中がトランジスタ特性の悪化、特に漏れ電流を増加させる原因になる。それを避けるため、ゲート端付近に不純物が注入されないオフセット領域608を設ける方法が用いられている。その後、層間膜609を堆積し、コンタクトホール610を形成し、配線金属を堆積しドレイン電極611d、ソース電極611sを形成する。

【0003】 図7に下部ゲート型の薄膜MOSトランジスタの構造を示す。

【0004】 上部ゲート型の場合と同様に、シリコン基板701上に二酸化シリコン膜702を形成したのち、多結晶シリコンゲート電極705の形成を行い、ゲート酸化膜704を形成し、その後でチャンネル部分に多結晶シリコン薄膜703の形成を行うと図7のような構造

ができる。図6に対し、図7ではチャンネル部分である多結晶シリコン薄膜の下にゲート電極が有ることから下部ゲート型と呼ばれる。下部ゲート型の場合、ドレイン領域706とソース領域707は、レジスト膜をマスクにした高濃度イオン注入によって形成するが、その際ドレイン側の不純物の注入領域をゲート端から離すことによって、上部ゲート型と同様、オフセット領域708を設けることが行われている。

【0005】

【発明が解決しようとする課題】 多結晶シリコン薄膜MOSトランジスタは、導電部が多結晶シリコンであることから単結晶と特性が較べると特性が劣る。特性が劣る第1の原因は多結晶シリコン薄膜中の粒界であるといわれていて、大粒径化は粒界の密度を減らす点で有効である。しかし、大粒径化を図ってもゲート端の電界集中部に欠陥があると漏れ電流増加の原因になる。この漏れ電流を避ける方法として従来例で述べたようなドレイン側の不純物の注入領域をゲート端から離す（オフセット領域を設ける）構造が有効であるが、オン電流が減ったり、あるいはサブスレッシュホールド特性が悪化するなどの欠点があった。

【0006】

【課題を解決するための手段】 本発明の絶縁ゲート電界効果トランジスタは、ゲート端部のチャンネル領域が絶縁膜を介して導電膜に接し、その導電膜がドレイン領域と電氣的に接続しているかあるいはドレイン領域とほぼ同電位になっているというものである。

【0007】

【作用】 ゲート端部にオフセット領域を設けるか、あるいは低不純物濃度の領域を設けた上で、その領域に絶縁膜を介してドレインと同じ極性の電圧が加えられる構造になっている。このような構造だと、ゲートに電圧（N型トランジスタでは正、P型トランジスタでは負の電圧）が加わるとオフセット領域がオンしやすい状態であり、同じゲート電圧でのオン電流が増加する。一方、ゲートが0ボルトでは接合端での電界が緩和され、オフ電流が減少するという効果が得られる。

【0008】

【実施例】 図1は本発明の第1の実施例を示す断面図である。

【0009】 次に、この実施例についてその製造工程に沿って説明する。

【0010】 シリコン基板101上に形成された二酸化シリコン膜102の上に約50nmの多結晶シリコン薄膜103を形成する。すなわち、非晶質シリコン膜を堆積した後、600℃、10時間の熱処理によって多結晶化する。ホトリソグラフィ技術とイオンエッチング技術を用い多結晶シリコン薄膜103をアイランド化した後、例えば厚さ50nmのゲート酸化膜104を形成し、その上に多結晶シリコンゲート電極105を形成す

10

20

20

30

40

50

【図 4】本発明の第 4 の実施例を示す断面図である。

5

【図5】本発明の第5の実施例を示す断面図である。

【図6】従来の上部ゲート型薄膜MOSトランジスタを示す断面図である。

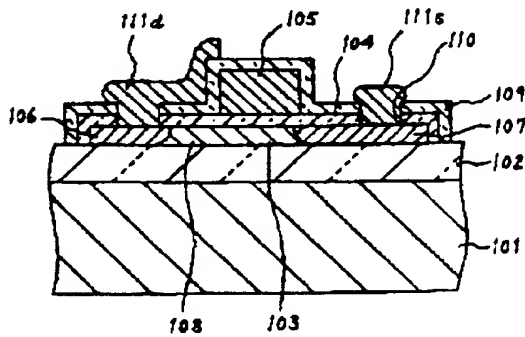
【図7】従来の下部ゲート型薄膜MOSトランジスタを示す断面図である。

【符号の説明】

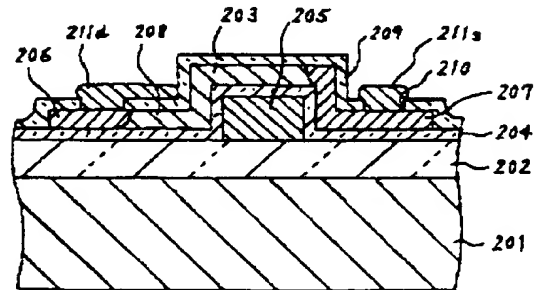
101～701 シリコン基板
 102～702 二酸化シリコン膜
 103～703 多結晶シリコン薄膜
 104～704 ゲート酸化膜
 105～705 多結晶シリコンゲート電極
 106～706 ドレイン領域

207～707 ソース領域
 108～708 オフセット領域
 109～709 層間膜
 110～710 コンタクトホール
 111d～711d ドレイン電極
 111s～711s ソース電極（導電膜）
 312 導電膜
 313 絶縁膜
 314 コンタクトホール
 415 導電膜
 416 導電膜
 517 絶縁膜

【図1】

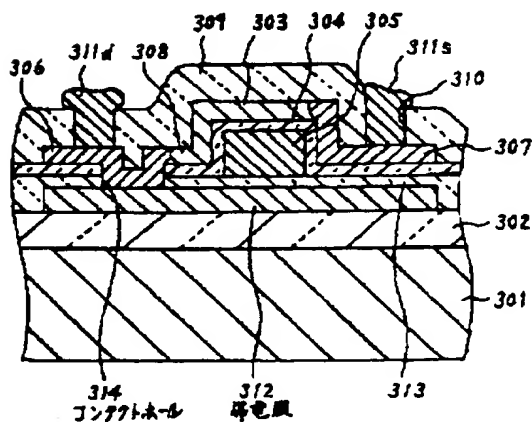


【図2】

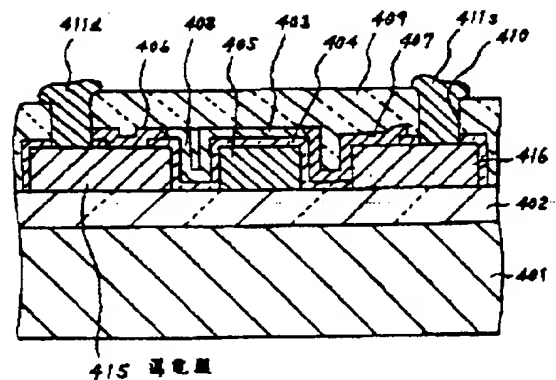


101: シリコン基板
 102: 二酸化シリコン膜
 103: 多結晶シリコン薄膜
 104: ゲート酸化膜
 105: 多結晶シリコンゲート電極
 106: ドレイン領域
 107: ソース領域
 108: オフセット領域
 109: 層間膜
 110: コンタクトホール
 111d: ドレイン電極
 111s: ソース電極

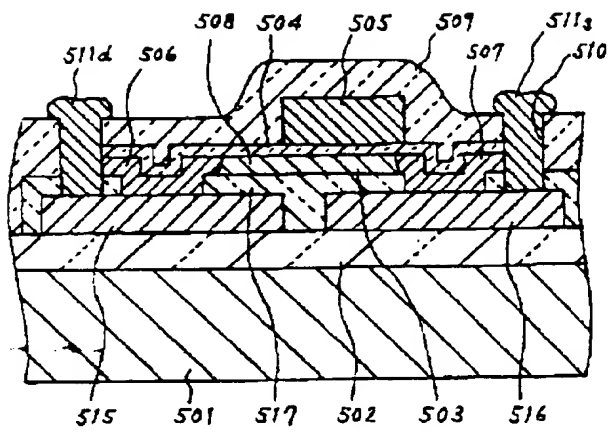
【図3】



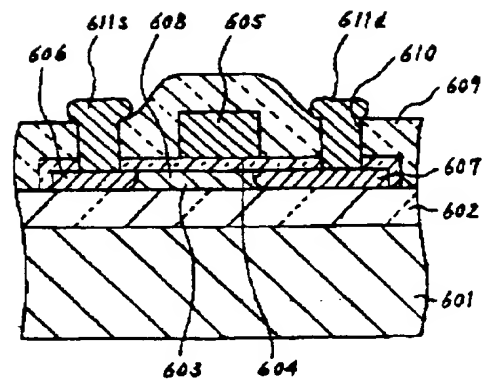
【図4】



【図5】



【図6】



【図7】

